

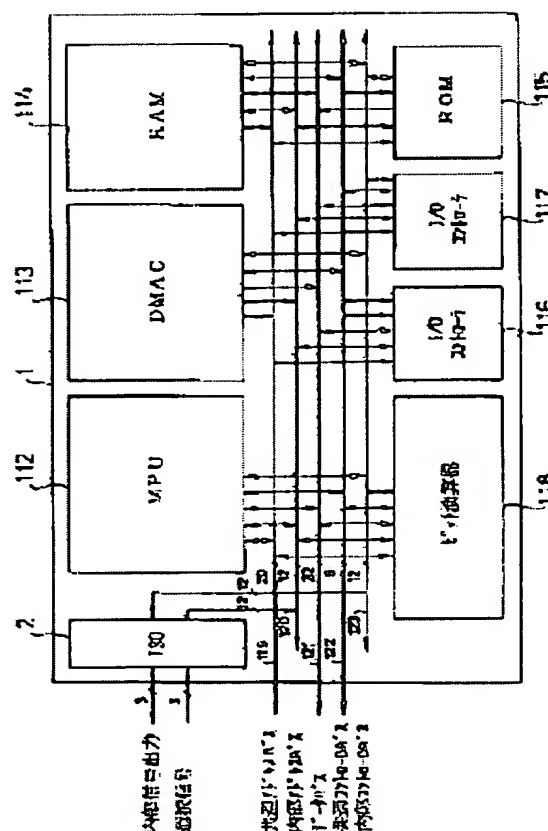
INFORMATION PROCESSOR AND SYSTEM AND METHOD FOR EVALUATING THE SAME

Patent number: JP6214819
Publication date: 1994-08-05
Inventor: INOUE TOMOHITO
Applicant: TOSHIBA CORP
Classification:
 - international: G06F11/22; G06F11/28
 - european:
Application number: JP19930006576 19930119
Priority number(s):

Abstract of JP6214819

PURPOSE: To observe the internal signal of an information processor in real time without complicating a system by providing a selective means which selects a part of plural internal signals according to a selective signal and outputs it to an outside.

CONSTITUTION: An internal signal output circuit (ISO) 2 is provided on a microcomputer 1. The ISO 2 is a circuit to output a part of an internal bus 120 and an internal control bus 123 to the outside, and is connected to the internal bus 120 and the internal control bus 123. The ISO 2 selects three signals out of 24 internal signals and outputs them to the outside. The output of three signals is decided by inputting the selective signal from the outside. All the internal signals can be observed in real time by taking out three signals that is a part of the 24 internal signals to the outside, installing eight computers 1, and setting three selective signals with different values.



Data supplied from the esp@cenet database - Worldwide

Best Available Copy

THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】 制御中枢となるプロセッサと、
プロセッサにより制御管理される機能モジュールと、
プロセッサと機能モジュール又は機能モジュール間での
み入出力されて観測の対象となる複数の内部信号を受け
て、複数の内部信号の中から選択信号にしたがって一部
の信号を選択して外部に出力する選択手段とを有するこ
とを特徴とする情報処理装置。

【請求項2】 請求項1記載の情報処理装置を複数具備
し、

それぞれの装置の選択手段は、複数の内部信号の中から
それぞれ異なる一部の信号を選択して出力し、
出力された複数の内部信号を観測する観測装置を有する
ことを特徴とする情報処理装置の評価システム。

【請求項3】 プロセッサを備えた同一の情報処理装置
を複数用意し、

それぞれの情報処理装置が装置の内部でのみ伝達されて
観測の対象となる複数の内部信号の中からそれぞれ異な
る一部の内部信号を選択するように、選択信号に基づい
てそれぞれの装置が複数の内部信号の中から一部の内部
信号を選択し、

複数の情報処理装置によってすべての内部信号を外部に
出力し、

外部に出力された複数の内部信号を観測することを特徴
とする情報処理装置の評価方法。

【請求項4】 前記内部信号は、プログラムカウンタの
内容又はキャッシュメモリとプロセッサ間の信号である
ことを特徴とする請求項1記載の情報処理装置、請求項
2記載の情報処理装置の評価システム又は請求項3記載
の情報処理装置の評価方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、比較的簡単かつ小型な
構成により内部信号を外部に出力できる情報処理装置及
びこの装置を用いた評価システムならびに評価方法に関
する。

【0002】

【従来の技術】マイクロコンピュータシステムの開発時
に、ハードウェア、ソフトウェアのデバッグを行なうた
めに、しばしばエミュレータが用いられる。エミュレー
タは、バスを監視してプログラムの実行を停止する実行
ブレーク、バスのアクセスを実時間で記録するリアルタ
イムトレース、といった機能を有している。

【0003】エミュレータを用いたシステム開発環境の
従来例を図6に示す。

【0004】図6において、ターゲットボード101は
開発するマイクロコンピュータシステムのボードであ
る。ホストマシン102はエミュレータ103を制御する
ためのマシンで、パーソナルコンピュータ、ワークス
テーションなどが用いられる。

【0005】エミュレータ103は、エバチップ10
4、アドレス比較部105、モニタメモリ部106、ホ
ストインタフェース部107、トレースメモリ部108
を有している。

【0006】エバチップ104は評価用のマイクロコン
ピュータで、システムに組み込む製品としてのマイクロ
コンピュータ（実チップ）の機能に、エミュレーション
用の機能を加えたチップで、ターゲットボード101上
のマイクロコンピュータに代わってプログラムを実行す
る。デバッグ時には、製品としてシステム中で動作する
際にはチップ外部に出力されないマイクロコンピュータ
内部の信号を観測することが、システム開発の効率を向
上するために重要である。そのため、エバチップ104
は実チップと比べて端子数を多くし、マイクロコンピ
ュータの内部信号を外部に取り出すようにしている。

【0007】アドレス比較部105はエバチップ104
のアドレスバス、バスステータス信号を監視し、トレ
ース用のトリガを発生させたり、実行ブレークをさせたり
する。モニタメモリ部106はエミュレータの制御を行
なうプログラム及び作業用のメモリである。ホストイン
タフェース部107は、ホストマシンとのインタフェ
ースを行なう。トレースメモリ部108は、リアルタイム
トレースによるプログラムの軌跡を格納する。トレース
メモリ108には、マイクロコンピュータのバス上の信
号状態、トレース用の信号状態がバスサイクルに同期し
て格納される。

【0008】システムのデバッグは、ホストマシン10
2からエミュレータ103を制御し、エミュレータ10
3内部のマイクロコンピュータ（エバチップ）上でシス
テムのプログラムを実行することで行なわれる。エバチ
ップ104はターゲットボード101上のI/Oコント
ローラやメモリなどとデータのやりとりを行なう。エバ
チップ104のバス信号や制御信号はトレースメモリ部
108に記録され、また、あらかじめ設定してあるアド
レスの命令が実行されるとアドレス比較部105がそれ
を検知し、プログラムの実行を停止する実行ブレークを
行なう。これらのリアルタイムトレースや実行ブレーク
を用いてシステムのデバッグが行なわれる。更に、実チ
ップでは外部に出力されない内部信号を観測することに
より、マイクロコンピュータ内部の状態をより詳しく知
ることができるので、動作の解析、バグの発見が容易に
なる。

【0009】図7にマイクロコンピュータの一構成例を
示す。

【0010】図7において、マイクロコンピュータ11
1は32ビットのマイクロプロセッサ（MPU）112
と複数の周辺機能部とを有している。周辺機能部とし
て、32ビットのダイレクトメモリアクセスコントロー
ラ（DMAC）113、RAM114、ROM115、
2つのI/Oコントローラ116、117、ビット演算

器118を有している。また、これらの周辺機能部間で情報を伝達するために、共通アドレスバス119、内部アドレスバス120、データバス121、共通コントロールバス122、内部コントロールバス123を有している。

【0011】MPU112は32ビットのマイクロプロセッサでマイクロコンピュータ111のプログラムに従ってマイクロコンピュータ111の制御及び演算を行なう。DMAC113は32ビットのDMAコントローラでMPU112からバス制御権を得てデータ転送を行なう。RAM114は読み書き可能なメモリで、データを格納する。ROM115は読み出し専用メモリで、MPU112のプログラムが格納されている。I/Oコントローラ116、117はマイクロコンピュータ111外部のI/Oデバイスを制御する。ビット演算器118はビット演算を行なう回路である。

【0012】共通アドレスバス119はマイクロコンピュータ111内部及び外部で共通に用いられるアドレス信号でA0、A13～A31の20本からなる。A0信号が「1」の時マイクロコンピュータ111外部の領域を、「0」の時マイクロコンピュータ111内部の領域を示す。内部アドレスバス120はマイクロコンピュータ111内部でのみ使用されるアドレス信号で、A1～A12の12本からなる。マイクロコンピュータ111内部の領域を示すために共通アドレスバス119と内部アドレスバス120とを共に用いる。データバス121はデータのやりとりを行なう信号でD0～D31の32本の信号からなる。データバス121はマイクロコンピュータ111内部及び外部で共通に用いられる。

【0013】共通コントロールバス122及び内部コントロールバス123はMPU112及びDMAC113の入力信号又は出力信号である。共通コントロールバス122は、マイクロコンピュータ111内部及び外部で共通に用いられる信号で、読み出ししか書き込みかの状態を示すR/W信号、バスサイクルの開始を示すBS信号、割り込みサイクルを示すIACK信号、クロックCLK、リセットを指示するRESET信号の5本からなる。内部コントロールバス123はマイクロコンピュータ111内部でのみ意味を持つ信号で、アドレス信号の出力タイミングを示すAS信号、データ信号の出力タイミングを示すDS信号、バスサイクルの終了を示すDC信号、割り込みレベルを示すIRL0～3信号、DMAC113がMPU112にバス制御権を要求するHREQ信号、MPU112がDMAC113のバス制御権を与えるHACK信号、I/Oコントローラ116、117がDMAC113にデータ転送要求を示すREQ0、REQ1信号、DMAC113がREQ0あるいはREQ1信号に応答するACK0、ACK1信号、そしてバスマスターを示すBERR信号の12本からなる。

【0014】このようなマイクロコンピュータ111を

用いたシステムの開発を行なう際に、エミュレータを用いてマイクロコンピュータ111の動作をトレースし、解析、デバッグを行なうわけであるが、先に述べたように、マイクロコンピュータ111内部の信号、即ち内部アドレスバス120、内部コントロールバス123を観測することが開発効率を向上する上で重要であるので、内部アドレスバス120の12本、内部コントロールバス123の12本を外部に取り出す必要がある。したがって、本来必要な信号より24本も多い信号をもつチップを製品にすることは、コスト増となるので、別にエパチップを作り、それを用いてシステム開発を行なうことになる。

【0015】

【発明が解決しようとする課題】以上説明したように、従来の方法では、マイクロコンピュータ内部の信号を外部から観測するために、実チップの他のエパチップを開発する必要があった。このため、多ピンのエパチップを実チップとは別に開発することは、手間とコストが余計にかかるという不具合を招いていた。

【0016】そこで、本発明は、上記に鑑みてなされたものであり、その目的とするところは、マイクロコンピュータシステムのエミュレータによるデバッグを行なうために、構成の大型化、複雑化を招くことなく、チップ内部の信号を外部に容易に取り出すことが可能となり、十分な開発、評価を行なうことができる情報処理装置及びこの装置を用いた評価システムならびに評価方法を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、制御中枢となるプロセッサと、プロセッサにより制御管理される機能モジュールと、プロセッサと機能モジュール又は機能モジュール間でのみ入出力されて観測の対象となる複数の内部信号を受けて、複数の内部信号の中から選択信号にしたがって一部の信号を選択して外部に出力する選択手段とから構成される。

【0018】請求項2記載の発明は、請求項1記載の情報処理装置を複数具備し、それぞれの装置の選択手段は、複数の内部信号の中からそれぞれ異なる一部の信号を選択して出力し、出力された複数の内部信号を観測する観測装置を有してなる。

【0019】請求項3記載の発明は、プロセッサを備えた同一の情報処理装置を複数用意し、それぞれの情報処理装置が装置の内部でのみ伝達されて観測の対象となる複数の内部信号の中からそれぞれ異なる一部の内部信号を選択するように、選択信号に基づいてそれぞれの装置が複数の内部信号の中から一部の内部信号を選択し、複数の情報処理装置によってすべての内部信号を外部に出力し、外部に出力された複数の内部信号を観測してな

る。

【0020】請求項4記載の発明は、請求項1記載の情報処理装置、請求項2記載の情報処理装置の評価システム又は請求項3記載の情報処理装置の評価方法において、内部信号がプログラムカウンタの内容又はキャッシュメモリとプロセッサ間の信号からなる。

【0021】

【作用】上記構成において、請求項1記載の発明は、情報処理装置内の複数の内部信号の中から、一部の内部信号を選択して出力するようにしている。

【0022】請求項2又は3記載の発明は、情報処理装置が内部信号の中から一部の内部信号を選択出力し、かつそれぞれの情報処理装置はすべて異なる内部信号を出力するようにしている。

【0023】請求項4記載の発明は、プログラムカウンタの内容又はキャッシュメモリとプロセッサ内の信号の一部を1つの情報処理装置から外部に取り出すようにしている。

【0024】

【実施例】以下、図面を用いてこの発明の一実施例を説明する。

【0025】図1は請求項1記載の発明の一実施例に係わる情報処理装置のマイクロコンピュータの構成を示す図である。

【0026】図1において、マイクロコンピュータ1はMPU112、DMAC113、RAM114、ROM*

*115、I/Oコントローラ116、117、ビット演算器118、内部信号出力回路(ISO)2を有している。また、これらの間で信号を伝達する共通アドレスバス119、内部アドレスバス120、データバス121、共通コントロールバス122、内部コントロールバス123を有している。したがって、マイクロコンピュータ1の構成は、図7に示すマイクロコンピュータ11にISO2を加えたものである。

【0027】ISO2は内部アドレスバス120及び内部コントロールバス123の一部を外部に出力するための回路で、内部アドレスバス120及び内部コントロールバス123に接続されている。ISO2はこれら内部信号24本のうち3本を選択して外部に出力する。いずれの3本を出力するのかは、選択信号SEL0~SEL2を外部から入力するかによって決められる。

【0028】図2にISO2の一回路例を示す。

【0029】ISO2は3つの8:1セクタ3、4、5を有している。それぞれのセクタ3、4、5からの出力(内部信号出力)は選択信号SEL0~SEL2によって決まる。図2に示すように、内部アドレスバス120、内部コントロールバス123がセクタに入力されている時の選択信号SEL0~SEL2と内部信号出力との関係を表1に示す。

【0030】

【表1】

選 択 信 号			内 部 信 号 出 力		
SEL0	SEL1	SEL2	セクタ3	セクタ4	セクタ5
L	L	L	A 1	A 9	H R E Q
L	L	H	A 2	A 10	H A C K
L	H	L	A 3	A 11	R E Q 0
L	H	H	A 4	A 12	R E Q 1
H	L	L	A 5	A S	A C K 0
H	L	H	A 6	D S	A C K 1
H	H	L	A 7	D C	I R L 0
H	H	H	A 8	B E R R	I R L 1

H: HIGH, L: LOW

ここでは、選択信号SEL0~SEL2を外部入力信号とする例を示したが、選択信号の作り方は他にも考えられる。例えば、選択モードを示すレジスタを示す3ビットのレジスタを用意し、マイクロコンピュータ1の外部からそのレジスタに値を書き込み、レジスタに書き込まれた値をSEL0~SEL2としてもよい。また、3つのフリップフロップを用意し、シリアル入力値を設定するようにすれば信号数を減らすことができる。

【0031】以上のようにして、内部信号の24本のうちの一部の3本を外部に取り出すことができる。このマイクロコンピュータ1を、請求項2又は3記載の発明の一実施例を示す図3に示すように8つ配置し、それぞれのコンピュータに対して、選択信号SEL0~SEL2の値を全て異なるように設定すると、リアルタイムで内部信号を全て観測することができる。これを図6に示すエバチップ104の代わりに用いれば、マイクロコンピ

ュータ1内部の信号をすべて観測できるので、マイクロコンピュータ1の内部信号のリアルタイムトレース、実行ブレイクを行なうことが可能となる。

【0032】図4は請求項4記載の発明の一実施例を示す図である。

【0033】図4に示す実施例は、キャッシュメモリを内蔵したマイクロコンピュータ11において、キャッシュメモリ13への入出力の値をマイクロコンピュータ11の外部に取り出すようにしたものである。マイクロコンピュータ11はMPU112、キャッシュメモリ13、DMAC113、RAM114、ROM115、I/Oコントローラ116、117ビット演算器118、ISO12を有している。これらの間の情報の伝達はアドレスバス14、データバス15、コントロールバス16を介して行なわれる。なお、これらのバスは全てマイクロコンピュータ11の外部に出力される信号であるとする。

【0034】キャッシュメモリ13は小容量の高速メモリで、MPU112とメモリとの間に置かれ、MPU112を高速で動作させるためのものである。RAM114、ROM115の情報の一部がキャッシュメモリ13に蓄えられており、MPU112が必要とする情報がキャッシュメモリ13に存在する時は、MPU112はキャッシュメモリ13からキャッシュバス17を介して情報を得る。キャッシュメモリ13に必要な情報がない場合にはRAM114もしくはROM115から情報をキャッシュメモリ13に書き込む。

【0035】このようなキャッシュメモリ13を用いたシステムでは、キャッシュバス17の値を観測することができない。システム完成後にはキャッシュバス17の値を観測する必要はないが、システム開発段階では動作解析、デバッグのためにキャッシュバス17の値を知ることが重要である。ここで、ISO12を用いることによりキャッシュバス17の値を外部に取り出すことができる。キャッシュバス17が32ビット幅であるとする、4つの8:1セレクタを用いて図2に示すISOと同様にISO12を構成することにより、32ビットのうちの4ビットを出力することができる。したがって、選択信号により異なる4ビットを出力するマイクロコンピュータを8個用いることにより、キャッシュバス32ビットの値をリアルタイムで観測することができる。

【0036】図5は請求項4記載の発明の一実施例を示す図である。

【0037】図5に示す実施例はMPU112内部のプログラムカウンタ(PC)19の値をマイクロコンピュータ18外部に出力するようにしたものである。

【0038】マイクロコンピュータ18はMPU112、DMAC113、RAM114、ROM115、I/Oコントローラ116、117、ビット演算器118、ISO20を有している。また、マイクロコンピ

ータ18の内部及び外部で共通に用いるアドレスバス14、データバス15、コントロールバス16を有している。

【0039】マイクロコンピュータシステムの開発時において、MPU112内部のPC19の値を外部から観測することは開発効率向上のために非常に有益である。しかし、例えば32ビットのPC19の値をそのまま外部に取り出そうとすると32本の信号が余計に必要となる。また、システムが完成して実際に動作するようになれば、PC19の値を観測する必要はないのでこの信号は無駄となる。そのため、実チップとは別の評価用のPCの値を出力するエバチップを開発する。

【0040】これに対して、この実施例では、実チップに8:1のセレクタを4つ有するISO20を組み込むことにより内部出力信号4本、選択信号3本の計7本の信号を加えるだけで済む。したがって、このマイクロコンピュータ18を8個用いれば、PC19の32ビットの値をリアルタイムで観測することができ、エミュレータによりPC19のリアルタイムトレース、PC19により実行ブレイクを行なうことができる。

【0041】このように、上記実施例にあっては、マイクロコンピュータシステム開発途上でマイクロコンピュータ内部の信号を、本来の外部端子を借用することなく少ない端子で外部から観測することができる。また、内部信号を外部に取り出すために用いるハードウェアは数本の端子と数個のセレクタでよく、マイクロコンピュータのコストに対する影響は小さい。さらに、製品となるチップ自体に適用できるので、内部信号を外部に取り出すために多くの端子を設けたエバチップを開発する手間とコストをかける必要がなくなり、時間とコストを大幅に削減することができる。

【0042】一方、マイクロコンピュータの内部信号を観測する場合には、複数個のマイクロコンピュータを使用することによりそれらの信号を全て同時に観測することができる。また、同時に観測する必要のない信号(特に制御信号)については複数のマイクロコンピュータを用いずに1個のマイクロコンピュータで選択信号を変えることにより出力する内部信号を変え、実行を繰り返してもよい。

【0043】したがって、製品となるマイクロコンピュータを用いてシステム開発段階のエミュレータによるリアルタイムトレース、実行ブレイクを容易かつ安価に行なうことができる。

【0044】なお、内部信号はアドレスや制御信号の他にデータであってもよい。また、内部信号出力回路(ISO)の機能は、情報処理装置内のバスと外部とを接続制御するバスコントローラに含めるようにしてもよく、この場合には、内部信号を外部と接続されているバスを介して外部に出力してもよい。例えば、内部で閉じている16ビットの内部データバスと、外部に接続されてい

る16ビットの外部データバスを備えている場合には、内部データバスの16ビットの内部信号をバスコントローラの制御の下に外部データバスを介して外部に出力するようにしてもよい。

【0045】

【発明の効果】以上説明したように、請求項1、2又は3記載の発明によれば、比較的簡単かつ小型な構成の追加により、情報処理装置の内部信号をすべてかつリアルタイムで外部から観測することが可能となる。これにより、従来から評価用に使用されてきた特別のチップを用いることなく、実際に使用されるチップの構成に極めて近い状態で、十分な評価、開発を実施することができる。

【0046】請求項4記載の発明は、内部信号をプログラムカウンタの内容としたことにより、専用チップを使用することなく、プログラムの実行状態を評価することができる。また、内部信号をキャッシュメモリとプロセッサ間の入出力信号としたことにより、専用チップを使用することなく、キャッシュメモリのアクセス状態を外部から評価することが可能となる。

【図面の簡単な説明】

【図1】請求項1記載の発明による一実施例のマイクロコンピュータのブロック図である。

【図2】図1に示す内部信号出力回路の一実施例を示す図である。

【図3】請求項2又は3記載の発明による実施例の評価*

*システムを示す図である。

【図4】請求項4記載の発明による実施例のマイクロコンピュータのブロック図である。

【図5】請求項4記載の発明による実施例のマイクロコンピュータのブロック図である。

【図6】エミュレータを用いたマイクロコンピュータシステムの開発環境を示す図である。

【図7】従来のマイクロコンピュータの内部ブロック図である。

10 【符号の説明】

1、11、18 情報処理装置

2、12、20 内部信号出力回路

3、4、5 セレクタ

13 キャッシュメモリ

14 アドレスバス

15 データバス

16 コントロールバス

17 キャッシュバス

19 プログラムカウンタ

20 112 MPU

113 DMAC

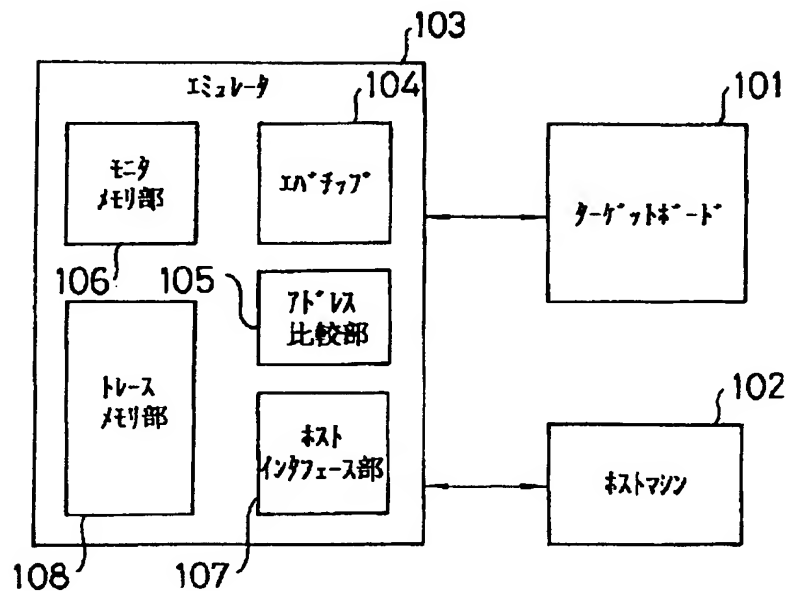
114 RAM

115 ROM

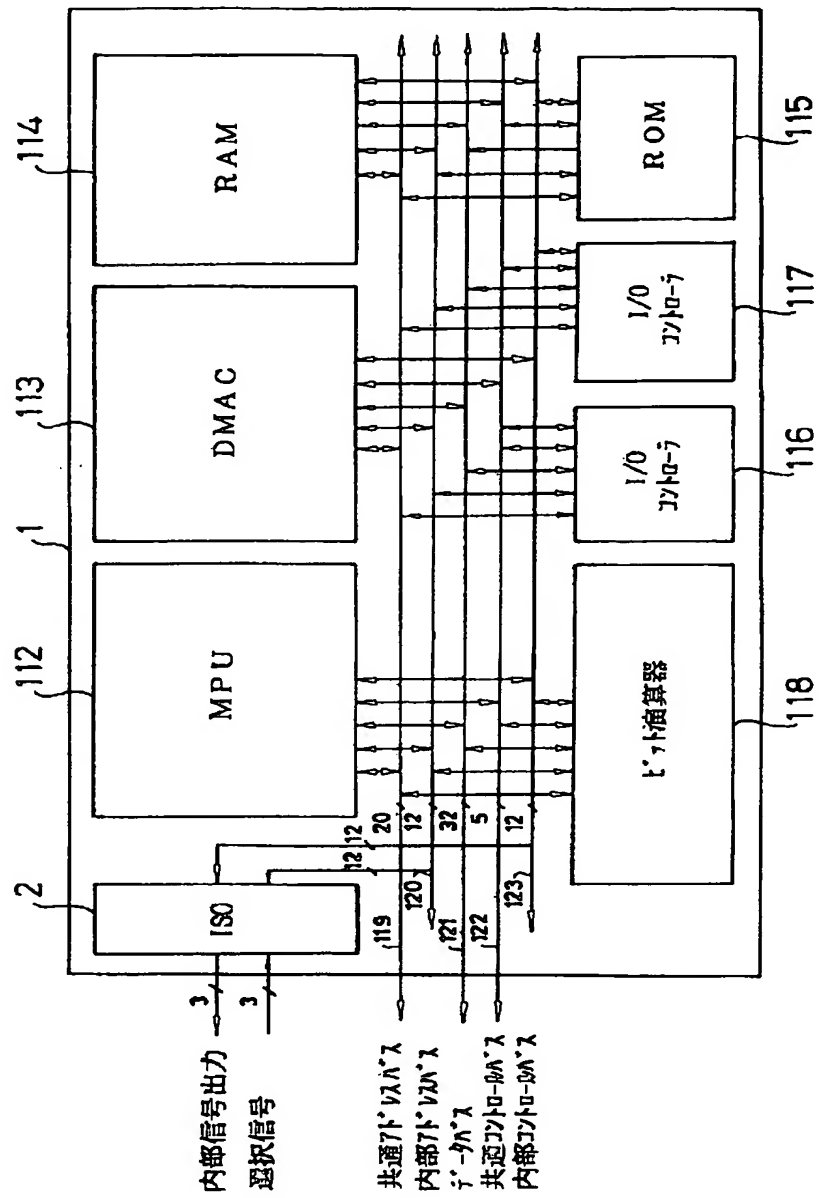
116、117 I/Oコントローラ

118 ビット演算器

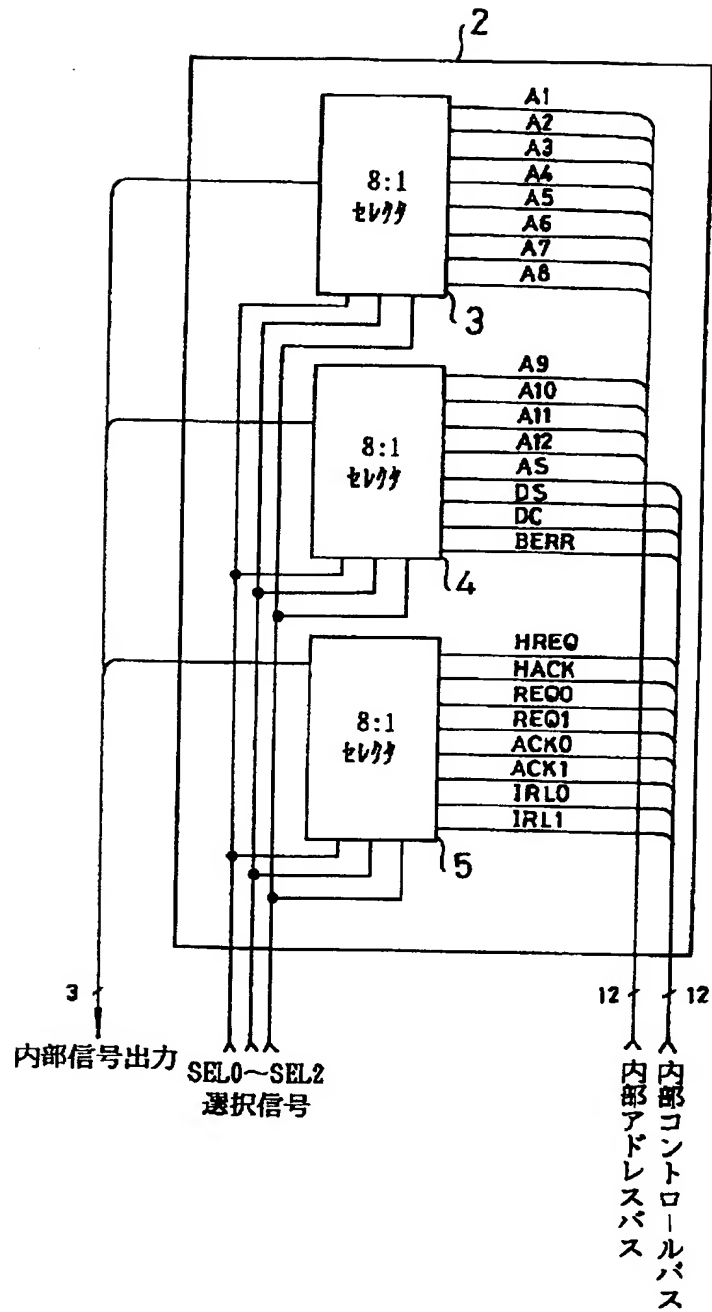
【図6】



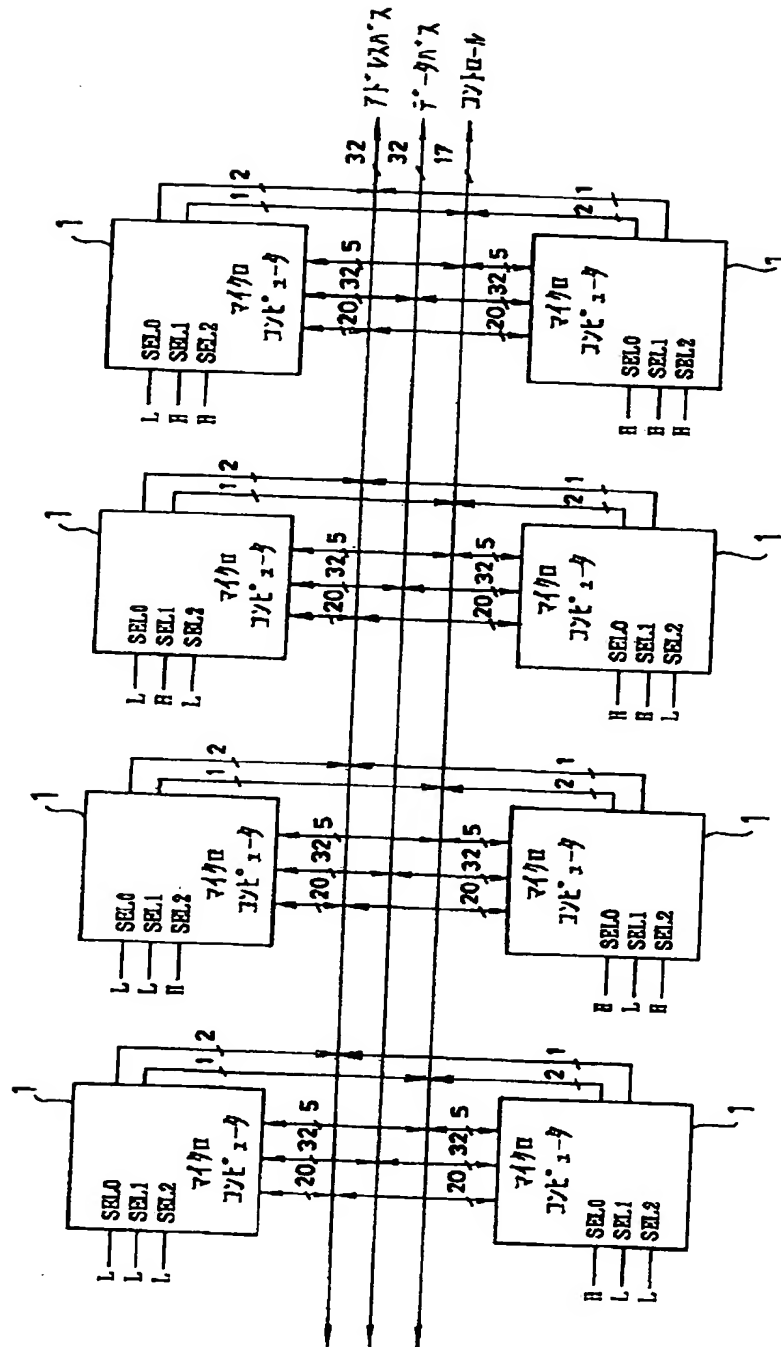
【図1】



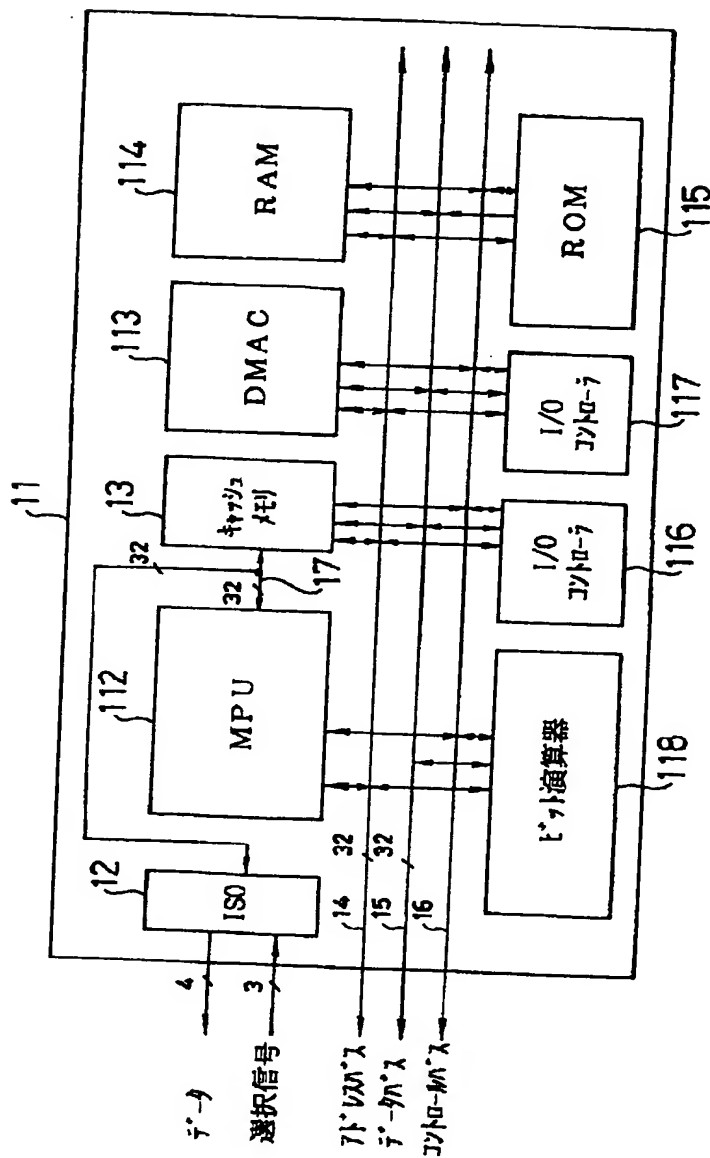
【図2】



【図3】

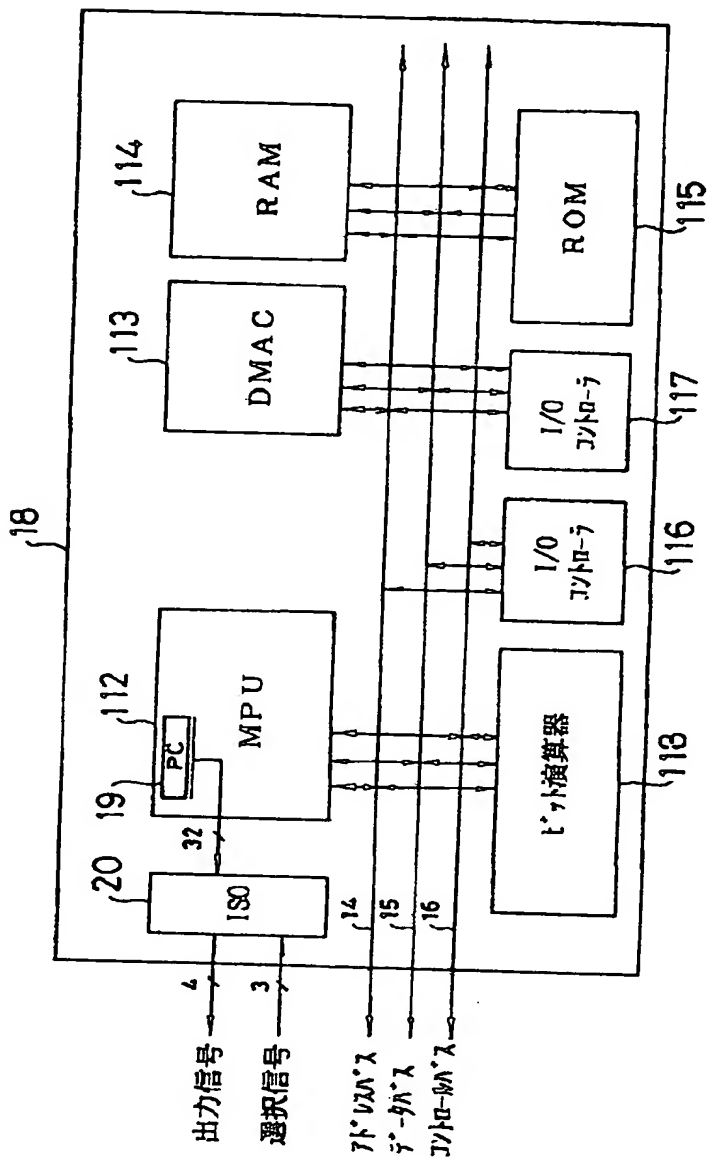


【図4】



(11)

〔図5〕



【図7】

